

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323495

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H01L 21/337

H01L 29/808

(21)Application number : 11-126697

(71)Applicant : SONY CORP

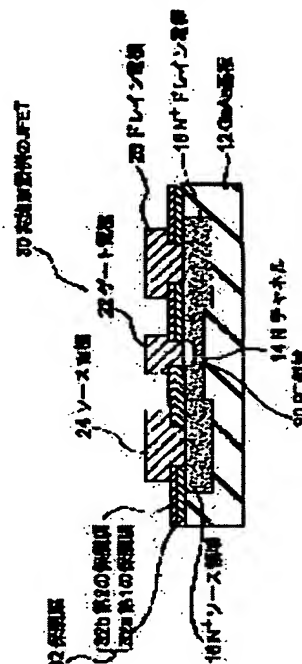
(22)Date of filing : 07.05.1999

(72)Inventor : TSUKINO SHINJI

(54) JUNCTION FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a junction field-effect transistor(JFET) formed so that the diffusion depth of the impurity in a gate region does not vary.
SOLUTION: The JFET 30 has the same constitution as that of the conventional JEFT, except that a protective film 32 on a GaAs substrate 12 is formed as a double layer structure. The protective film 32 has an SiN film of 20 nm thick for generating a compressive stress as a first protective film 32a and an SiO₂ film of 20 nm thick for generating a tensile stress as a second protective film 32b in the form of a two-layer laminate structure. This functions to cancel the stresses mutually in diffusing an impurity by heat treating and hence the stresses in the insulation films i.e., the protective films never vary. Thus, the impurity diffusion depth variation due to the stress variation in the protective films does not occur and hence the transistor characteristics such as threshold voltage variation does not occur.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323495

(P 2 0 0 0 - 3 2 3 4 9 5 A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl. ⁷

H01L 21/337

29/808

識別記号

F I

H01L 29/80

ターマコード

(参考)

C 5F102

審査請求 未請求 請求項の数3 O L (全6頁)

(21) 出願番号 特願平11-126697

(22) 出願日 平成11年5月7日 (1999. 5. 7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 月野 真治

鹿児島県国分市野口北5番1号 ソニー国

分株式会社内

F ターム(参考) 5F102 GB01 GC01 GD04 GJ05 GV06

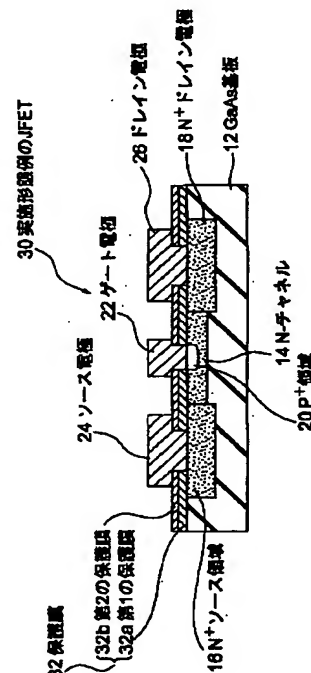
GV07 GV08 HC07 HC21

(54) 【発明の名称】 接合型電界効果トランジスタ及びその作製方法

(57) 【要約】

【課題】 ゲート領域での不純物の拡散深さがばらつかないようにした接合型電界効果トランジスタを提供する。

【解決手段】 本JFET30は、GaAs基板12上の保護膜32が2層構造として形成されていることを除いて、従来のJFET10の構成と同じ構成を備えている。保護膜32は、第1の保護膜32aとして成膜され、圧縮応力を発生させる膜厚20nmのSiN膜と、第2の保護膜32bとして成膜され、引っ張り応力を発生させる膜厚20nmのSiO₂膜との2層の積層構造として形成されている。これにより、熱処理による不純物の拡散時に、応力が相互に打ち消し合うように働いて、絶縁膜、即ち保護膜の応力がばらつくようなことは生じない。従って、保護膜の応力のばらつきに起因する、不純物の拡散深さのばらつきが発生しなくなり、しきい値電圧のばらつき等のトランジスタ特性のばらつきが生じない。



1

2

【特許請求の範囲】

【請求項 1】 化合物半導体基板上に形成された接合型電界効果トランジスタにおいて、化合物半導体基板上に成膜され、ゲート領域とゲート電極とを接続させる開口を備えた絶縁膜が、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第 1 の絶縁膜と、他方の応力を発生させる第 2 の絶縁膜との対からなる積層構造になっていることを特徴とする接合型電界効果トランジスタ。

【請求項 2】 化合物半導体基板が GaAs 基板であり、第 1 の絶縁膜が SiN 膜、かつ第 2 の絶縁膜が SiO₂ 膜であることを特徴とする請求項 1 に記載の接合型電界効果トランジスタ。

【請求項 3】 化合物半導体基板上に形成した接合型電界効果トランジスタの作製方法において、基板にイオン注入して、第 1 の導電型のソース領域及びドレイン領域をそれぞれ形成する工程と、ソース領域とドレイン領域との間にイオン注入して第 1 の導電型のチャネル領域を形成する工程と、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第 1 の絶縁膜を基板に成膜する工程と、他方の応力を発生させる第 2 の絶縁膜を第 1 の絶縁膜上に成膜する工程と、第 2 の絶縁膜及び第 1 の絶縁膜をエッチングしてチャネル領域上にゲート電極形成用の開口を形成する工程と、開口を介してチャネル領域にイオン注入して、第 2 の導電型の領域を形成する工程と、基板に熱処理を施して、注入した不純物を拡散させる工程とを備えることを特徴とする接合型電界効果トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、接合型電界効果トランジスタ（以下、簡単に JFET と言う）及びその作製方法に関し、更に詳細には、トランジスタ特性がばらつかないようにした JFET 及びその作製方法に関するものである。

【0002】

【従来の技術】 GaAs 基板等の化合物半導体基板上に形成された JFET は、高周波帯で使用される半導体装置として注目されている。ここで、図 5 を参照して、従来の JFET の基本的な構成を説明する。図 5 は JFET の構成を示す模式的断面図である。JFET10 は、図 5 に示すように、GaAs 基板 12 上に形成された素子分離領域（図示せず）により区画された素子形成領域に形成されており、GaAs 基板 12 の上層に設けられた N-チャネル 14 と、その両端に設けられた N' ソース領域 16 及び N' ドレイン領域 18 と、N-チャネル 14 の上層の中央領域に設けられた P' 領域 20 と、P' 領域 20 上に設けられたゲート電極 22 と、ソ

ース領域 16 及びドレイン領域 18 上に設けられたオーミック性接続のソース電極 24 及びドレイン電極 26 とを備えている。また、ゲート電極 22、ソース電極 24 及びドレイン電極 26 を除いて、基板全面に SiN 膜 28 が、保護膜／絶縁膜として設けてある。

【0003】 JFET10 では、SiN 膜 28 をエッチングしてゲート形成領域上に開口を形成し、次いで、SiN 膜 28 をマスクとして開口からゲート形成領域にイオン注入を行い、次いで熱処理を行って不純物を拡散させ、p' 領域 20 を形成している。

【0004】 ところで、JFET は、更に高周波性能を向上させるために、ソース領域とドレイン領域間のオン抵抗の低抵抗化、及び動作の高速性が要求されている。この要求を満足させる一つの方法として、ゲート長の短縮化が進んでいる。

【0005】

【発明が解決しようとする課題】 しかし、従来の JFET の作製方法では、イオン注入の後、不純物を熱拡散させる際、保護膜、例えば上述の例では SiN 膜 28 のの応力のばらつきに起因して、P' 領域 20 での不純物の拡散深さがばらつくという問題があった。拡散深さがばらつくと、結果的に、JFET のゲートしきい値電圧がばらつき、JFET の動作マージンの不足、駆動能力のばらつきなどの問題が生じる。そして、ゲート長の短縮化により、熱処理時の保護膜の応力のばらつきに起因する、不純物の拡散深さのばらつきが JFET の性能上で無視できなくなっている。そのため、基準を設けてゲートしきい値電圧の大小を管理することが必要になり、接合型電界効果トランジスタの製品歩留の低下を招いている。

【0006】 そこで、本発明の目的は、ゲート領域での不純物の拡散深さがばらつかないようにした接合型電界効果トランジスタ及びその作製方法に関するものである。

【0007】

【課題を解決するための手段】 上記目的を達成するために、本発明に係る接合型電界効果トランジスタは、化合物半導体基板上に形成された接合型電界効果トランジスタにおいて、化合物半導体基板上に成膜され、ゲート領域とゲート電極とを接続させる開口を備えた絶縁膜が、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第 1 の絶縁膜と、他方の応力を発生させる第 2 の絶縁膜との対からなる積層構造になっていることを特徴としている。

【0008】 本発明では、絶縁膜が例えば圧縮応力を発生させる第 1 の絶縁膜と引っ張り応力を発生させる第 2 の絶縁膜との対からなる積層構造として形成されているので、不純物活性化のための熱処理時に、応力が相互に打ち消し合うように働いて、絶縁膜、即ち保護膜の応力がばらつくようなことは生じない。よって、保護膜の応

力のばらつきに起因する、不純物の拡散深さのばらつきが発生しなくなり、しきい値電圧のばらつき等の半導体装置特性のばらつきが生じない。第1の絶縁膜と第2の絶縁膜との対は、1対でも、複数対でも良い。また、第1の絶縁膜と第2の絶縁膜とは、必ずしも相互に異種の絶縁膜、例えば窒化膜と酸化膜との対でなくとも良く、例えば成膜条件を変えることにより、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第1の絶縁膜と、他方の応力を発生させる第2の絶縁膜とを成膜できる限り、同種の膜、例えば窒化膜であっても良い。

【0009】具体的には、例えば化合物半導体基板がGaAs基板であり、第1の絶縁膜がSiN膜、かつ第2の絶縁膜がSiO₂膜である。

【0010】本発明に係る接合型電界効果トランジスタの作製方法は、化合物半導体基板上に形成した接合型電界効果トランジスタの作製方法において、基板にイオン注入して、第1の導電型のソース領域及びドレイン領域をそれぞれ形成する工程と、ソース領域とドレイン領域との間にイオン注入して第1の導電型のチャンネル領域を形成する工程と、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第1の絶縁膜を基板に成膜する工程と、他方の応力を発生させる第2の絶縁膜を第1の絶縁膜上に成膜する工程と、第2の絶縁膜及び第1の絶縁膜をエッチングしてチャンネル領域上にゲート電極形成用の開口を形成する工程と、開口を介してチャンネル領域にイオン注入して、第2の導電型の領域を形成する工程と、基板に熱処理を施して、注入した不純物を拡散させる工程とを備えることを特徴としている。

【0011】

【発明の実施の形態】以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

JFETの実施形態例

本実施形態例は、本発明に係る接合型電界効果トランジスタの実施形態の一例であって、GaAs基板上に形成したNチャネルのJFETの例である。図1は、本実施形態例のJFETの構成を示す模式的基板断面図である。本実施形態例のJFET30は、GaAs基板12上の保護膜32が2層構造として形成されていることを除いて、従来のJFET10の構成と同じ構成を備えている。

【0012】保護膜32は、第1の保護膜32aとして成膜され、圧縮応力を発生させる膜厚20nmのSiN膜と、第2の保護膜32bとして成膜され、引っ張り応力を発生させる膜厚20nmのSiO₂膜との2層の積層構造として形成されている。これにより、熱処理による不純物の拡散時に、応力が相互に打ち消し合うように働いて、絶縁膜、即ち保護膜の応力がばらつくようなことは生じない。従って、保護膜の応力のばらつきに起因する、不純物の拡散深さのばらつきが発生しなくなり、

しきい値電圧のばらつき等の半導体装置特性のばらつきが生じない。

【0013】JFETの作製方法の実施形態例

本実施形態例は、GaAs基板上にNチャネルのJFETを作製する例に適用した、本発明に係る接合型電界効果トランジスタの作製方法の実施形態の一例であって、図2(a)から(c)、図3(d)から(f)、及び図4(g)と(h)は、本実施形態例の方法に従ってNチャネルのJFETを作製する際の工程毎の模式的基板断面図である。まず、イオン注入時のダメージ緩和を目的として、図2(a)に示すように、GaAs基板12上に第1保護膜13として膜厚50nm程度のSiN膜をプラズマCVD法等により成膜する。次に、図2(b)に示すように、ソース形成領域及びドレイン形成領域を開口したレジストパターン15を形成し、イオン注入装置を使い、加速エネルギー150KeV、ドーズ量 $3 \times 10^{13} / \text{cm}^2$ のイオン注入条件でN型不純物としてSiを注入して、ソース領域16及びドレイン領域18を形成する。

【0014】次いで、レジストパターン15を除去した後、図2(c)に示すように、ソース領域16、ドレイン領域18を含んだチャンネル形成領域を開口するレジストパターン19を形成し、N型不純物としてSiを加速エネルギー100KeV、ドーズ量 $1.5 \times 10^{13} / \text{cm}^2$ のイオン注入条件で注入して、チャンネル領域14を形成する。尚、本実施形態例では、図2(c)に示すように、チャンネル形成領域の開口幅をソース領域16、ドレイン領域18の外側までとしているが、必ずしもこのようにする必要はなく、ソース領域16及びドレイン領域18の少なくとも一部を開口するようにすれば良い。

【0015】次に、レジストパターン19及び第1保護膜13を除去した後、熱処理を行って、注入した不純物の活性化を行う。熱処理の条件としては、850℃の温度で20分行う。

【0016】次に、図3(d)に示すように、応力が圧縮方向に働く膜厚20nm程度のSiN膜をプラズマCVD法等により第2保護膜32aとして基板全面に成膜する。更に、応力が引っ張り方向に働く膜厚20nm程度のSiO₂膜を第3保護膜32bとしてプラズマCVD法等により第2保護膜32a上に成膜して、図3

(e)に示すように、2層積層構造の保護膜32を形成する。続いて、ゲート形成領域を開口するレジストパターン33を第3保護膜32b上に形成し、CF₄等のフッ素系ガスを使用して、第3の保護膜32b及び第2保護膜32bをエッチングして、図3(f)に示すように、チャンネル領域14を露出させる開口34を形成する。

【0017】次いで、レジストパターン33を除去した後、拡散炉にてP型不純物としてイオン注入したZnの気相拡散を行い、図4(g)に示すように、ゲート領域

となるP'不純物層20を形成する。尚、レジストパターン33を除去した後、P型不純物としてZnイオンをイオン注入しても良い。従来は、このP型不純物の熱拡散の際、マスクとなる保護膜28(図5参照)の応力により、P'不純物層20の拡散深さにバラツキが生じ、最終的にはJFETの特性ばらつきとして問題になっていた。一方、本実施形態例では、熱処理による不純物の拡散時に、2種類の保護膜、第2保護膜32aと第3保護膜32bの応力の向きが相互に反対であるから、相互に打ち消し合って、P'不純物層20に加わる応力が低減するので、応力ばらつきに起因する拡散深さのばらつきが、大幅に低減する。

【００１８】次いで、ゲート電極となる金属膜２２を成膜し、パターンニングを行って、ゲート電極２２を形成する。また、ソース領域１６とドレイン領域１８上の第２保護膜３２ａと第３保護膜３２ｂに開口３５、３６を形成し、更に電極となる金属膜を成膜し、パターンニングを行って、ソース電極２４、ドレイン電極２６を形成する。これにより、図１に示すＮチャネルのＪＦＥＴ３０を形成することができる。尚、説明の便宜上、図１では、第２保護膜３２ａは第１保護膜３２ａ、第３保護膜３２ｂは第２保護膜３２ｂとなっている。

【0019】本実施形態例では、本発明の例としてSiN膜とSiO₂膜による応力緩和を示したが、CVD成膜条件の制御により、SiN膜単独で応力の向きが相互に異なる2層構造を構成することもできる。また、応力緩和を目的として、異なる応力の膜を3層以上で構成しても、同じ効果が得られる。

【0020】

【発明の効果】本発明によれば、化合物半導体基板上に成膜され、ゲート領域とゲート電極とを接続させる開口を備えた絶縁膜が、圧縮応力及び引っ張り応力のいずれか一方の応力を発生させる第1の絶縁膜と、他方の応力を発生させる第2の絶縁膜との対からなる積層構造になっていることにより、絶縁膜の応力が相互に打ち消し合っており、以下の効果を奏する。

1) 不純物の熱拡散時のゲート領域の拡散深さばらつきがなくなり、ゲートしきい値電圧等のトランジスタ特性が均一になる。

2) トランジスタ特性の均一化により、接合型電界効果トランジスタの製品歩留を向上させることができる。

3) 応力による増速拡散を低減出来るので、より浅い拡散深さの高速動作の接合型電界効果トランジスタを実現することができる。

本発明方法は、本発明に係る接合型電界効果トランジスタの作製に最適な方法を実現している。

【図面の簡単な説明】

【図1】実施形態例のJFETの構成を示す模式的基板断面図である。

【図2】図2(a)から(c)は、それぞれ、実施形態例の方法に従ってNチャネルのJFETを作製する際の工程毎の模式的基板断面図である。

【図3】図3(d)から(f)は、それぞれ、図2(c)に続いて、実施形態例の方法に従ってNチャネルのJFETを作製する際の工程毎の模式的基板断面図である。

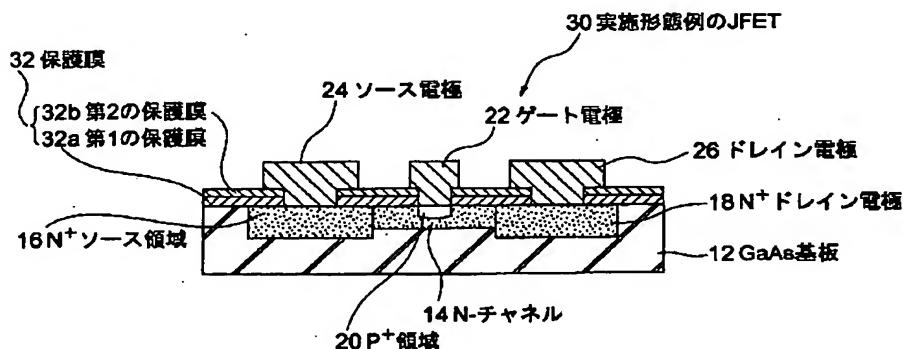
【図4】図4 (g) と (h) は、それぞれ、図3 (f) に続いて、実施形態例の方法に従ってNチャネルのJFETを作製する際の工程毎の模式的基板断面図である。

【図5】従来のJFETの構成を示す模式的基板断面図である。

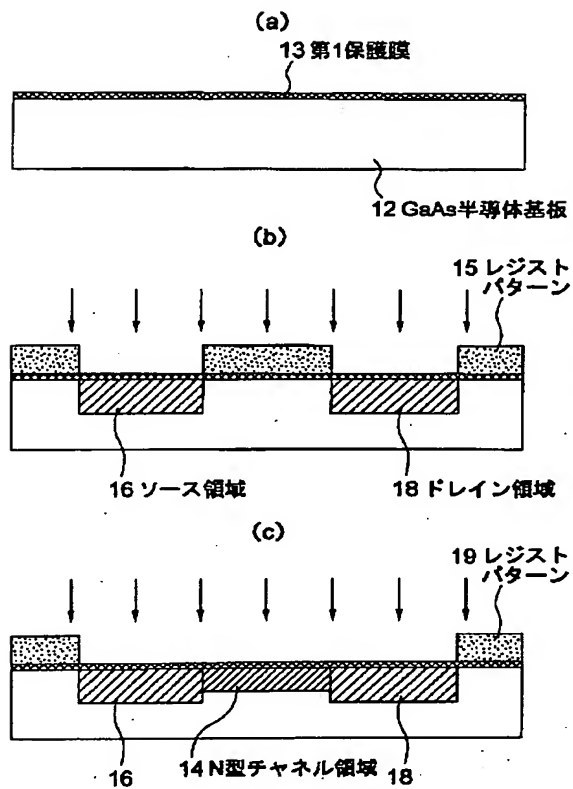
【符号の説明】

1・0……従来のJFET、1・2……GaAs基板、1・3……第1の保護膜、1・4……N-チャネル、1・5……レジストパターン、1・6……N⁺ソース領域、1・8……N⁺ドレイン領域、1・9……レジストパターン、2・0……P⁺領域、2・2……ゲート電極、2・4……ソース電極、2・6……ドレイン電極、2・8……SiN膜、3・0……実施形態例のJFET、3・2……保護膜、3・2a……第1の保護膜、3・2b……第2の保護膜、3・3……レジストパターン、3・4……開口。

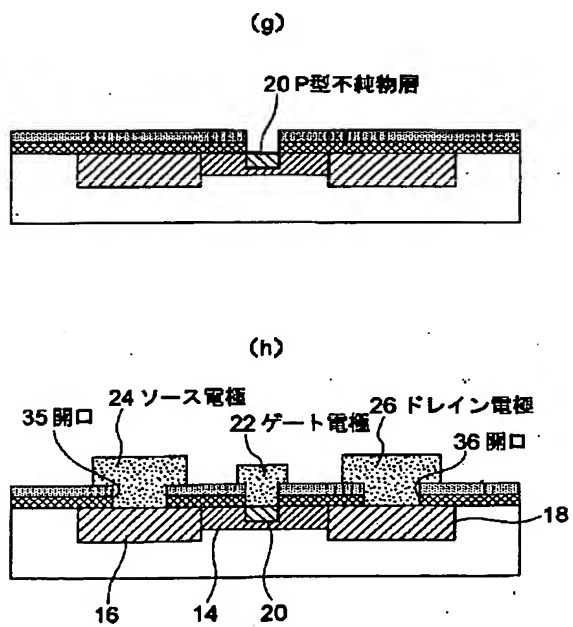
【図 1】



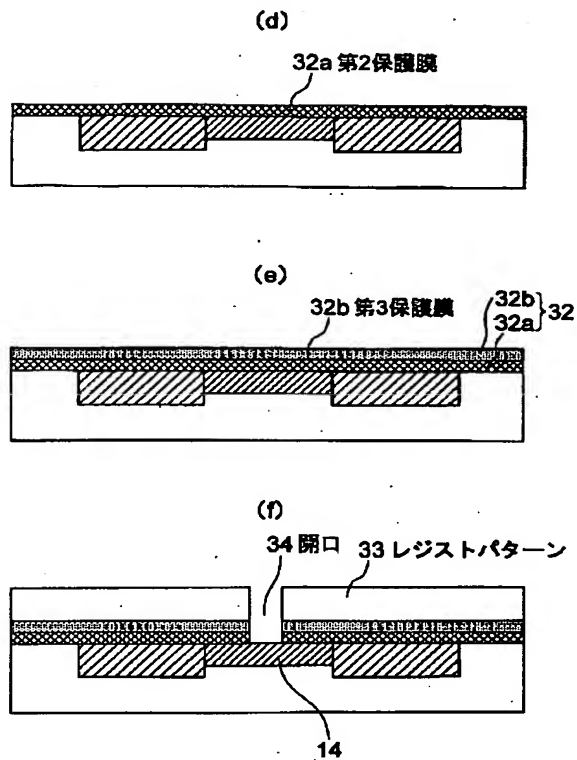
【図 2】



【図 4】



【図 3】



【図 5】

